**2021년 반도체기술은 어떤 새로운것들이 있는가**

**2021年半导体技术有哪些新看点**

2021-01-05来源: EEWORLD

몇년동안 업계의 추세는 이동분야에 초첨을 맞추고 있어 반도체기술이 매우 큰 정도로 이러한 추세를 반영하고있다. 지난 몇년동안 구름계산에 대한 투자와 개발이 매우 많은 관심을 끌어지만 그중에서 매우 많은 모든것이 다 이동성을 겨냥한것들이다.

2020년이 지나가자 많은 사람들이 이 1년을 잊어버리는것을 매우 기뻐할수있다. 그러나 정보기술산업은 이렇지 않다. 사업이 가정으로 옮겨감에 따라 많은 자료들이 구름단으로 옮겨가 더 많은 원격방문을 조성하였다. 그러나 빈번한 류행병과 뒤따르는 봉쇄는 류동성의 효과적리용을 낮추었다.

현재 보면 2021년의 류행병상황이 기술추세에 대해서 분명하지 않을것으로 보이지만 몇가지 추세를 제시할 필요는 있다.

***Snapdragon* 888：매우 빨리 손전화속으로 뚫고들어갈수 있다.**

Qualcomm의 Snapdragon 888은 TSMC의 5nm공정의 또 하나의 대걸작이며 가장 선진적인 대규모생산공정기술로써 Apple A14와 M1이 이미 그의 성공을 증명하였다. 그것은 바로 두번째응용프로그람처리기이지만 Snapdragon 888은 몇가기 기본기능에서 경쟁적수들을 초과하였다.

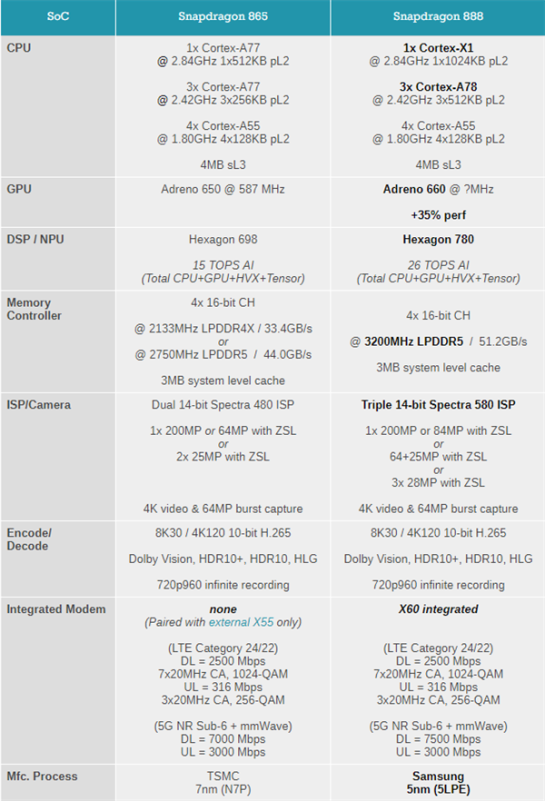
Snapdragon 888이 개선한 3가지 주요분야는 카메라능력, 게임성능과 인공지능이다. Snapdragon 888은 X60 RF주파수모뎀(모뎀+RF해결방안), 증강된 제6세대AI엔진, 완전히 새로운 Hexagon처리기, 완전히 새로운 수감부하브를 가지고 있으며 26개의 top준위의 완전한 성능, 그리고 앞세대에비해서 성능이 더 좋은 새로운 Adreno GPU를 가지고 있다.

[](http://6.eewimg.cn/news/uploadfile/2021/0105/1609839819294101.jpeg)

 Snapdragon 888는 초당 27억개의 화소에 도달할수 있는 3개의 화상수감부처리기를 배치하고있다. 보통사람들에 대해서 말하면 888은 매개가 4K의 동적 또는 10비트의 HDR동화상을 동시에 얻을수 있는 3개의 단독적인 화상수감부를 허용한다.

 소편기능상의 각도로 보면 Snapdragon 888이 X60 5G모뎀을 포함한때로부터 SoC우에 하나의 완전한 5G모뎀을 처음으로 포함하였다. Apple의 A14은 이러한 기능이 없다. 반대로 iPhone 12계렬은 단독밀봉한 Qualcomm의 X55모뎀과 SDR865송수신기 등 Qualcomm의 RF요소들을 사용하였다.

 Snapdragon 888은 또 처음으로 불루투스5.2, Wi-Fi6E（6GHz）, 더 세밀한 OLED화소조종 등을 지원하고있다.

[](http://6.eewimg.cn/news/uploadfile/2021/0105/1609839819181789.png)

비록 Media Tek 등도 매우 빨리 Exynos 1080을 내놓겠지만은 Qualcomm은 마치 이동분야에서는 제일 앞선 자리를 차지하고 있으며 이것은 RF기술분야에서의 실력과 관계된다. 최근에  Media Tek가 이동Chipset분야에서 세계적으로 선두지위에 있다는 보도도 있지만 Qualcomm은 5G분야에서 여전히 첫자리에 있다. 2021년초에 Media Tek, Qualcomm이 5nm공정의 응용처리기에서 Apple를 따라잡으면 더 강대한 제품들이 나올것이다.

 극단적인 성능을 떠나 가장 선진적인 이동응용처리기의 첫번째 응용례가 모두 시대적으로 지나간 가정WiFi를 통해서 올리는것이 아니라 사진을 손전화기에 올리고 현시하는데서 나타난다. Snapdragon 888이 SoC발전을 정점을 대표한다는것은 부인할수 없다.

 Snapdragon 888 5G은 26가지의 최량성능을 제공하여 매W당 성능을 3배로 개선하고 AI공유기억기를 16배로 크게 하였다.

최신 Snapdragon은 하나의 8핵을 가진 제품이다. 한개의 고성능Cortex-X1핵, 3개의Cortex-A78핵, 4개의 저소비전력Cortex-A55핵, 1개의 Adreno 660, 3개의 ISP 및 제6세대AI엔진을 가지고 있는데 이러한 모든것들은 SoC기술의 고속발전을 예시해주고 있다. 이것은 매우 많은 첨단설계이지만 아직 일부 뽑아버려야 할 것들도 있다. Snapdragon 888은 Cortex-X1핵심을 포괄한 첫번째 소편이다. 특히 《공유인공지능기억을 16배나 크다》는것은 Apple A14의 전속설계에 비해서SRAM완충기억에 사용되는 소편공간이 더 많다는것을 볼수 있다.

일부 손전화기상표들이 이미 Snapdragon 888를 리용하겠다고 발표하였다. Snapdragon 888은 2021년에 가장 열기띤 SoC들중의 하나로 될것이지만 그것이 유일한것은 아닐수 있다. 2020년의 큰 사건중에서 Apple이 PC생산선에 ARM을 기반으로 한 자기의 SoC설계를 배치한것이다. 마이크로쏘프트도 역시 앞으로 나갈 징조가 보인다.

**Chiplets**

지난해에 가장 열을 띤 화제가 체계소편설계로부터  chiplets를 사용한 체계밀봉방법이다. 《물리적거리시대》에 이 추세는 《물리적거리》시대에서 충분히 체현되였다. 그 당시의기술은 단일규소집적회로의 IP블로크들을 분리시켜 여러개의 소편으로 나누어 밀봉한 기판우에 조립하였다.

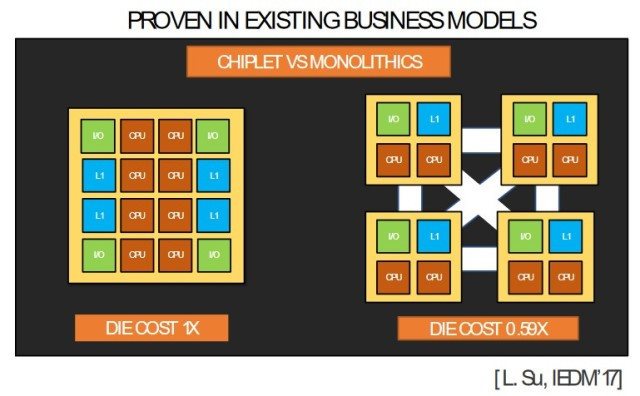
한 소편우에 그것들을 하나로 《봉합》한것이 아니라 규소쌍으로 IP를 물리적으로 분리시키는 방법이 《chiplet》로부터 다른 tag범위까지의 많은 이름들을 가지게 하였다. 례를 들면 검증을 통과한 진정한 SiP 또는 더 최신적인 이질구조집적화기술(HIT)등이다. 각종 각이한 이름들은 모두 많은 사람들의 주의를 끌었다. 이러한 새로운 추세 역시 하나의 새로운 IP생태체계를 추동하여 전통적인 SoC분야밖의 첨단기술을 허용하였다.

단일소편SoC설계가 국방부(DoD) 또는 다른 저용량응용프로그람에 알맞지 않는다는데로부터 통용이질구조집적화와 지적소유권(IP)재활용책략(소편) 계획에 자금을 제공하는  DARPA계획이 생겨나 IP의 재활용의 새로운 방식을 구축하는데 두었다.

구조와 재료의 각도로부터 보면 우리는 이미 매우 많은 실현가능하고 검증된 선택들을 가지고 있다. 고성능계산과 GPU의 고대역폭기억기의 규소중개층2.5D설계로부터TSMC의 통합부채형출구(InFO)박편준위밀봉까지 오늘 여러가지 옵숀들을 사용하여 광범한 제품응용들을 해결하는데 리용할수 있다.

 그러나 소편이 하나의 새로운 생태체계를 창조하려면 더 많은 작업을 요구한다/ 더우기 표준화측면에서이다. 이러한 사업은 2021년에 완성될수는 없지만 중대한 전진을 이룩할것으로 보고있다.

비SoC참여자들에게 하나의 실용적인 생태체계를 만들어 주고 소편방법을 충분히 리용하도록 하기 위해서는 소편들사이의 통신에 대한 일부 표준화를 진행하여야 한다. 이것은 일정한 시간을 요구하지만 앞으로 1년내에 출현가능한 방법들에 대해서 더 많은 료해를 할수 있다. 현재 이미 일부 전문적인 호상련결방안들이 출현하였지만 이러한 방법들에서의 기본의 소편조들사이의 호상조작성, 그리고 매개 IP판들을 될수록 광범한 제품실례들까지 집중시킬수 있게 하는것이다. 바꾸어 말하여 chiplet공급상들에게 하나의 시장이 요구된다.

[](http://6.eewimg.cn/news/uploadfile/2021/0105/1609839820463672.jpeg)

Synposys提出了一个高速串行互连选项，据介绍：“高速die-to-die通信需要在芯片内的模之间传递大型数据集。超短距离/超短距离SerDes (USR/XSR)让这一切成为可能，目前使用112Gbps SerDes的设计和更高的速度有望在未来几年内实现。”

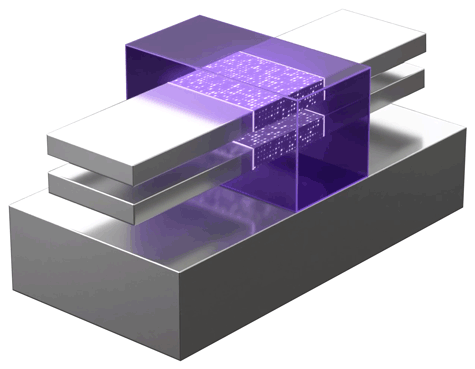
英特尔自2019年以来通过免版税许可提供了先进接口总线(AIB)。AIB规范显示2GB/s/线，目前使用的通道为40根，每个通道最多支持160根线。AIB标准是基于英特尔的嵌入式多模互连桥(EMIB)而制定。第一代AIB部署在英特尔Stratix 10产品中。英特尔介绍，与SERDES方法相比，AIB具有更低的延迟，使其更适合于更广泛的芯片类型的异构集成。

此外还有一些更多的互联选项。开放领域特定体系结构(ODSA)小组正在研究两个die-to-die接口——线束(BoW)和OpenHBI。关键是现在有很多多样性。随着互连方案的共识形成，芯片在市场上的生存能力将加快。

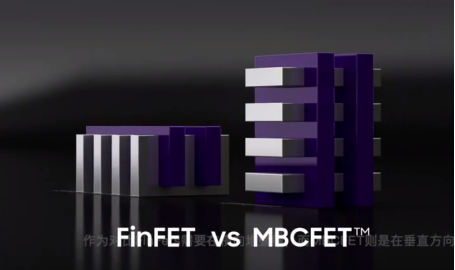
**后FinFET时代**

半导体工艺技术的FinFET时代已经持续了很久，远远超过了最初路线图的预测。英特尔首次提出了Tri-Gate概念：将晶体管通道拉伸到三维形态以改善栅极静电和控制通道导电。在其他创新中，制造商通过使用可替代纯硅的高迁移率通道，使fiFinFETnFET在5nm节点上保持可行性。

2020年，5纳米制程已经投入生产，苹果的处理器仍在使用了台积电FinFET。此外，台积电正在向3nm节点进发。

[](https://www.eetimes.com/wp-content/uploads/Samsung-multibridge-channel-FET.gif?w=475&resize=475,369)

FinFET的替代品将来自“纳米线”或“栅极”(GAA)等技术。这种方法的早期技术实际上是一种扁平的金属丝或“nanosheet”。三星已宣布，他们将在3nm节点上使用多桥通道（MBCFET）。它可以通过用纳米片替换纳米线周围的栅极，来实现每堆更大的电流。

[](http://6.eewimg.cn/news/uploadfile/2021/0105/1609839821875888.png)

与传统的FinFET设计相反，GAAFET允许栅极材料从四面环绕通道。三星声称，MBCFET的设计将改善该过程的开关行为，并允许处理器将运行电压降低到0.75V以下。MBCFET的一个关键点在于该工艺完全兼容FinFET设计，不需要任何新的制造工具。

与7nm FinFET相比，3nm MBCFET将分别降低30%的功耗和45%的表面积。这一过程还将比目前高端设备的性能节点提高40%。三星今天还讲述了其他流程节点的计划，但没有提供MBCFET与这些节点的比较。

**科技冷战**

美国政府似乎明白半导体行业的战略重要性。国会已经提出了一项法案，例如Creating Helpful Incentives to Produce Semiconductors for America Act, 或CHIPS。美国国防部也不例外，通过其国防高级研究计划局(DARPA)创建了通用异质集成和知识产权(IP)重用 CHIPS战略计划来驱动芯片生态系统。

这一年的另一大关键词：中美持续贸易战，期间半导体行业是其中不可或缺的一部分。毫无疑问，芯片业务是战略性的，美国政府明白这一点。这些措施包括禁止美国芯片公司向中国设备制造商(主要是华为)供货。国内集成电路制造一直举步维艰，特别是在先进节点上，而中国依赖于国外生产。尽管有些人可能认为中国发展半导体生产是不可避免的，但美国政府已经选择剥夺中国建设尖端晶圆厂所需的生产工具。

在消费设备和电信设备等方面，中国大陆依赖台湾的先进工艺，因此台积电向海思等中国大陆无晶圆厂企业发货时受到了限制。

《纽约时报》在最近的一篇专栏文章阐述:“以同等价值衡量，台湾是世界上最重要的地方。”

台积电宣布在亚利桑那州建立晶圆厂，这是科技冷战的一个重要里程碑。有些人质疑这一目标的可行性，但我认为我们将在2021年看到这一目标的持续进展，尽管可能会缓慢而稳定。

**Intel的未来**

其实Intel一在考虑找代工的事情了，未来Intel会考虑Golden Cove之后的新架构要用什么制程，MTL都是已经确定用Intel自己的7nm了，但是MTL之后的新架构会使用什么制程? 是Intel自己的5nm？还是台积电的3nm？还是说使用Intel的7nm+？

Intel的进展速度已经被台积电甩下一大截，10nm这个节点延期延了多年直接让Intel的先进制程研发进度被台积电和三星反超，当然这里面也和Intel的10nm目标定的太高有比较大的关系，一边是要求极高密度，另一边是要求高频率。

而越到后面，先进制程的研发难度和费用会越来越大，IDM确实很难再和“多家Fabless+一家Fab”的组合对抗，后者的灵活性会高于前者，后者一年代工的芯片数量可以做到远多于前者。

或许是真的感到头疼了，所以Intel逐渐开始考虑寻找代工，若是Golden Cove之后的新架构那一代转向台积电的话，可能后面先进制程的产品可能都会逐渐转向台积电，既然越到后面研发难度和费用越来越高，那不如集中力量推动一家或者两家专门的Fab把先进制程的路子走出来，同时也不会因为制程上的卡壳落后于竞争对手。

1965年，戈登-摩尔（Gordon Moore）提出摩尔定律，即当价格不变时，集成电路上可容纳的晶体管数目，约每隔12个月便会增加一倍，性能也将提升一倍。十年后的1975年，由于集成电路产业日趋成熟，摩尔修正了翻倍时间，即每隔24个月集成晶体管数目翻倍，这一定律在其诞生后的几十年时间里，一直是半导体行业可以信赖和依靠的预测模型或发展规律。

但随着芯片尺寸和制程工艺不断缩小，半导体制造也正面临越来越严峻的挑战，目前晶体管数量翻倍速度已经延缓至30个月左右。于是，很多人就会禁不住怀疑，摩尔定律是否还能延续，甚至还有更激进的想法则是，摩尔定律已死。

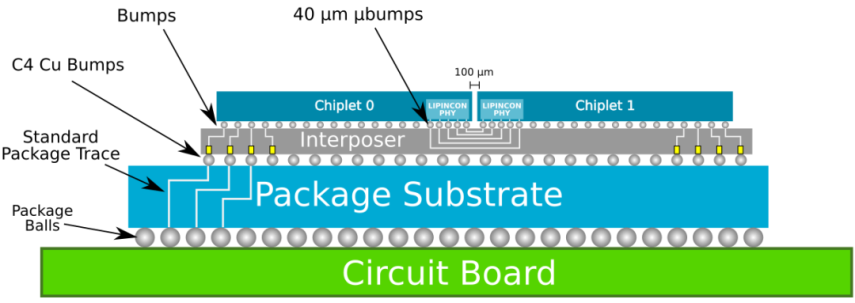
不管摩尔定律会不会最终失效，但目前就有一项技术，或许能帮助延续摩尔定律，即Chiplets。什么是Chiplets呢？Chiplets也就是“小芯片”或“芯粒”，它诞生于20世纪70年代，最近在AMD的Ryzen和Epyc x86处理器等产品中重新获得关注。它将复杂功能进行分解，然后开发出多种具有单一特定功能，可互相进行模块化组装的“小芯片”，它也是一个功能性电路块，并具有可重复使用的IP区块。目前已有很多大公司已经对该技术进行研发，如台积电、AMD、英特尔等。

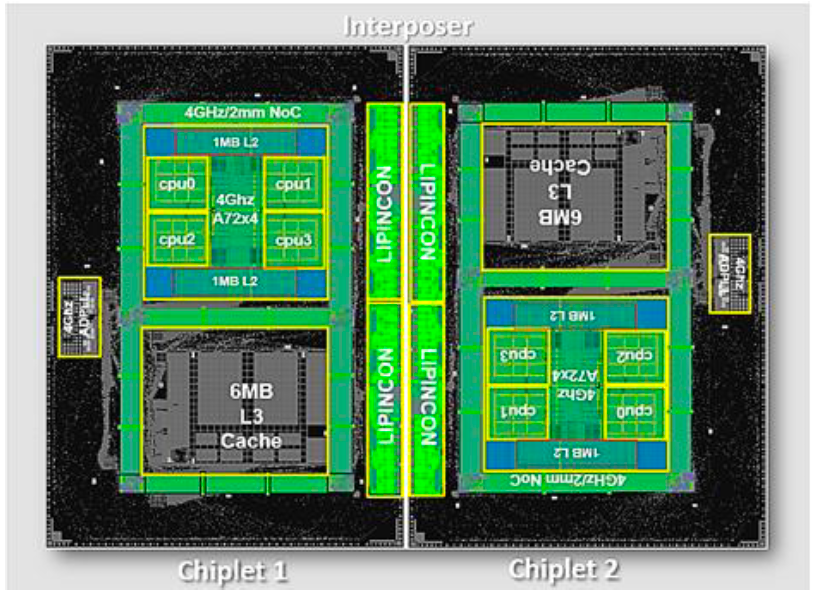
根据市场研究公司Omdia预测，在制造流程中采用芯粒的处理器芯片全球市场预计将从2018年的6.45亿美元扩大至2024年的58亿美元。不到10年时间，增长9倍之多，可见，芯粒技术被寄予厚望，其市场潜力发展前景诱人。

台积电更是认为，芯粒将是未来10到20年最重要的发展成果。由于它将功能分解成一块一块进行设计和制造，这使得每一个芯粒可以被设计得尽可能小，从而增加其良率，并最小化成本。目前，越来越多的半导体器件都开始采用芯粒技术，如微处理器（MPU）、图形处理器（GPU）以及可编程逻辑器件（PLD）等，尤其是MPU，它需要一直采用最尖端的技术从而保持其竞争力。

# ****各公司基于芯粒技术的解决方案****

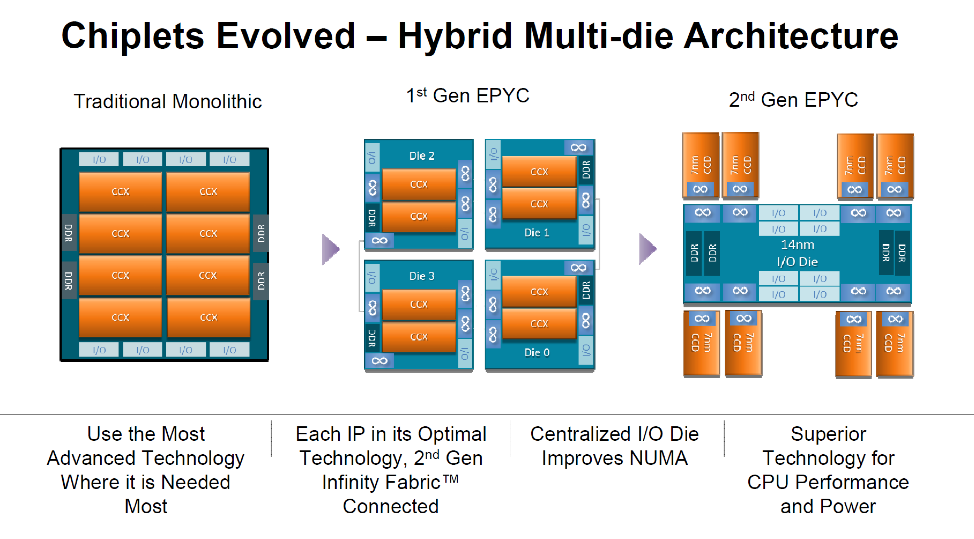
台积电基于芯粒技术的解决方案为无凸起的系统整合单晶片（System on Integrated Chip，SoIC™），它为3D架构，采用TSV（硅通孔）堆叠逻辑芯片、存储芯片，或两种芯片都连至一个有源中介层（active interposer）上。

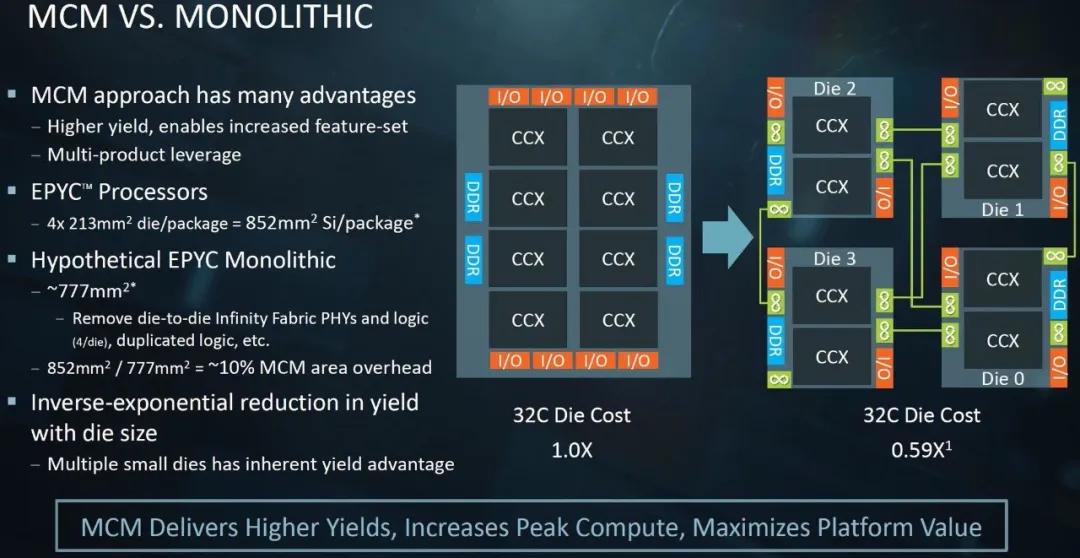




台积电联手arm推出的7纳米chiplets解决方案

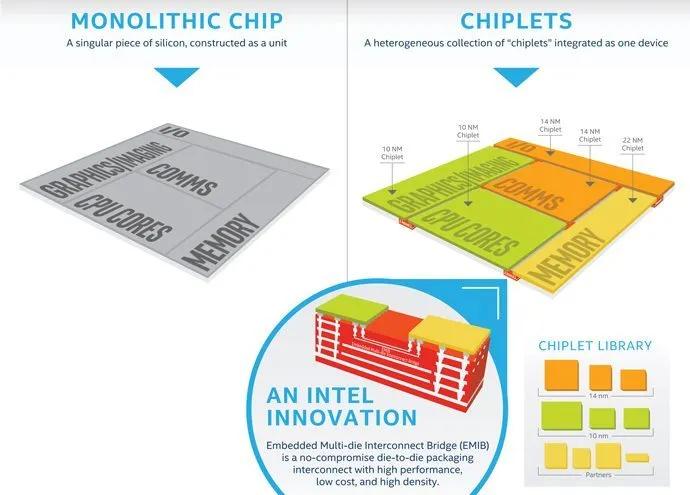
AMD目前的芯粒解决方案采用一块层压基板，它很多服务器的处理器产品已经采用了芯粒技术，例如Zen2架构就是在原来MCM多芯片设计的基础上再进一步，改用将CPU核心和I/O核心分离的芯粒技术，前者采用7纳米工艺，后者采用14/12纳米工艺，可以有效降低成本。



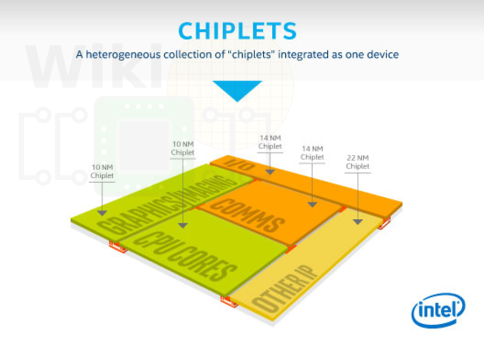


AMD已经量产的chiplets解决方案

Intel最新的芯粒解决方案名为Foveros，它是一种采用3D堆叠技术的异构系统集成方案。该技术采用一种3D面对面堆叠工艺，将逻辑芯片凸起并集成至一个有源中介层上，紧邻存储芯片或具有通信功能的芯片（如调制解调器）。有源中介层包括系统的有源器件，如管理系统I/O的集成南桥（platform controller hub，PCH）。Foveros技术能让设计人员更灵活地配置各种IP块，如存储和I/O等。







英特尔Foveros解决方案

# ****结语****

Omdia预测，在较长时间内，基于芯粒技术的芯片营收会持续增长，至2035年达570亿美元。特别是随着人工智能、物联网等新兴应用的不断发展，对于功耗和成本的要求也会越来越高，这些应用必将推动新的技术的发展，相信芯粒就是其中之一。芯粒可能不是唯一一个能够帮助延续摩尔定律的技术，但它的确是一个创新的技术，可以帮助推进新的封装技术、新的半导体材料的发展。众多的开发者和研究者会开创一个竞争的格局，有了竞争才会有进步，相信芯粒在承载众多期望下，也会不负众望。

参考文章：

Chiplets: The New Era Begins，Jan Vardaman

Chiplets Promise to put Moore’s Law Back on Track，Tom Hackenberg

|  |  |
| --- | --- |
| 1 | * Cortex-M4F CPU핵심부의 구성방식과 동작원리에 대한 문헌연구 * Cortex-M4F CPU핵심부 IP에서의 매개 신호선들에 대한 동작특성연구 * 12-Bit축차근사 상사-수자변환기에 대한 문헌연구 및 설계지표확정 * DC-DC변환기에 대한 선행문헌연구 및 설계지표확정 |
| 2 | * Cortex-M4F CPU핵심부의 AMBA모선규약연구 * Cortex-M4F CPU핵심부의 APB모선규약연구 * True우연수발생회로에 대한 문헌연구 및 설계지표확정 * 선형전압조종기(LDO)들에 대한 세계적추세와 선행문헌연구 및 설계지표확정 |
| 3 | * 기억기주소배치 및 호출대면부의 파라메터설계 * 직접기억기호출(DMA)대면부의 문헌연구 및 응용에서의 편리성에 대한 연구 * 직접기억기호출대면부의 론리회로설계 * 55nm DDC CMOS공정에서의 체계대규모집적회로소편에 대한 실현가능성검증   + 소자모형정수들에 대한 구체적료해   + 깊은 공핍통로(DDC) CMOS소자의 특성지표     - • RF고속소자들의 특성지표 |
| 4 | * Cortex-M4F CPU핵심부의 문헌연구에 기초하여 장치서술언어(Verilog)를 리용한 론리회로설계 * 직접기억기호출대면부를 포함하는 CPU기억기관리모듈의 론리회로설계 * 전체 CPU핵심부의 론리회로설계 및 수자회로모의 도구(Modelsim)를 리용한 명령실행과정에 대한 론리회로모의진행 * Cortex-M4F CPU핵심부의 명령꺼내기, 명령해신기, 명령실행과정모의 및 모선변화에 대한 동적특성모의 * 55nm DDC CMOS공정에서의 수자합성서고화일에 대한 지표확정(“.lib”, “.lef”, “.cdl”, “.gds”) |
| 5 | * Cortex-M4F CPU핵심부에서의 NVIC새치기벡토르처리모듈에 대한 론리회로설계 및 검증 * 외부 SPI대면 Flash기억기의 읽기/쓰기 조종모듈에 대한 론리회로설계 및 검증 * 전원재설정시 외부기억기로부터의 응용프로그람 Booting방식확립 * Booting방식처리를 위한 Mask ROM자료의 발생과 Via Mask ROM의 설계 |
| 6 | * Debug모듈과 프로그람내리적재 조종모듈의 론리회로설계및 동적검증 * Cortex-M4F CPU에서의 신호처리명령코드에 기초한 류동소수점연산장치의 론리회로설계와 검증 * 류동소수점연산장치의 례외처리기와 새치기처리기에 대한 론리회로설계와 검증 * 류동소수점연산장치에서의 수자신호처리(DSP)기능에 대한 론리검증 (곱하기, 나누기, 더하기, 덜기, 고속푸리예변환을 비롯한 수자신호처리기능) |
| 7 | * 32MHz 수정편을 리용한 수정발진기상사회로의 설계와 그를 리용한 64MHz박자발생회로의 설계, 과도모의검증, 배치배선설계완성 * 32.768KHz 수정편을 리용한 수정발진기상사회로의 설계와 과도모의검증, 배치배선설계완성 * RC내부발진기의 저소비전력화설계와 32MHz수정편박자에 의한 RC발진기주파수의 교정방법확립 및 론리회로설계와 동적검증 |
| 8 | * 8MHz 주파수를 기준박자로 하는 Cortex-M4F에서의 24-Bit SysTick Timer모듈의 론리회로설계 및 동적검증 * 32MHz 혹은 64MHz를 기준박자로 하는 32-Bit, 24-Bit, 16-Bit, 8-Bit선택가능한 Timer모듈의 론리회로설계 및 동적검증, Capture와 Compare기능의 확정 * 32.768KHz 수정발진기 혹은 31.25KHz 내부RC발진기를 리용한 실시간계수기(RTC)모듈의 론리회로설계 및 동적검증 |
| 9 | * UART수자통신대면부에서 프로그람가능한 보드속도발생기 및 자료통신조종모듈의 론리회로설계 및 동적검증 * 일반목적입출구포구(GPIO)조종모듈과 입출구포구의 상사회로설계 및 론리모의, 과도모의 진행 * 12-Bit 축차근사 상사-수자변환기에서의 비교기특성제고 및 회로설계, 특성지표모의확정 * 12-Bit 축차근사 상사-수자변환기에서의 용량Mismatch를 없애기 위한 방법확립, 회로설계 |
| 10 | * 프로그람조종가능한 전송속도를 가진 SPI직렬통신대면부의 주기와 종기에 대한 론리회로설계 및 동적검증 * 12-Bit 축차근사 상사-수자변환기에서의 기준전압발생회로 및 선택회로의 설계, 모의검증 * 12-Bit 축차근사 상사-수자변환기에서의 축차근사론리회로설계 및 박자발생회로의 설계 * 12-Bit 축차근사 상사-수자변환기에서의 주사방식, 자료등록과 읽기, DMA모듈의 론리회로설계 및 동적검증 |
| 11 | * 프로그람조종가능한 전송속도를 가진 I2C직렬통신대면부의 주기와 종기에 대한 론리회로설계 및 동적검증 * 12-Bit 축차근사 상사-수자변환기의 수자-상사혼합모의진행 * 12-Bit 축차근사 상사-수자변환기의 상사회로부분에 대한 배치배선설계 |
| 12 | * APB모선규약에 기초한 UART, SPI, I2C수자통신대면부들에 대한 Cortex-M4F CPU핵심부모선에로의 삽입 * APB모선규약에 기초한 12-Bit 축차근사 상사-수자변환기에 대한 Cortex-M4F CPU핵심부모선에로의 삽입 * 12-Bit 축차근사 상사-수자변환기의 배치배선설계에 대한 설계규칙검사(DRC), 회로련결성검사(LVS) * 12-Bit 축차근사 상사-수자변환기의 배치배선설계에 대한 RC기생추출 및 기생모의 * 12-Bit 축차근사 상사-수자변환기회로 및 배치배선설계완성 |

|  |  |
| --- | --- |
|  | 정황 |
| 1 | * Cortex-M4F CPU핵심부의 구성방식과 동작원리에 대한 문헌연구 * 32-bit체계모선과 4Gbyte의 기억기관리 * ANSI/IEEE std 754-2008표준에 기초한 류동소수점연산장치(FPU)와 그에 해당한 명령코드 * 240개의 외부새치기자원의 벡토르표처리(NVIC) * 병렬고성능모선대면부, Debug장치지원 * Cortex-M4F CPU핵심부 IP에서의 매개 신호선들에 대한 동작특성연구 * 32-bit체계모선(I-Code, D-Code, S-Code) * 프로그람기억기호출모선🡪 I-Code모선 * 프로그람기억기쓰기모선🡪 D-Code모선 * 변수기억기및 주변장치모선🡪 S-Code모선 * 12-Bit축차근사 상사-수자변환기에 대한 문헌연구 및 설계지표확정 * 최대표본화속도 : 1MHz * 동적범위(DR) : 전원전압 * 기준전압 : 1.24V * 동작소비전류 : 100uA * DC-DC변환기에 대한 선행문헌연구 및 설계지표확정 * 외부선륜 : 2.2uH * 출구전압 : 1.2±10% * 전압표류 : 0.7%/V * 최대변환효률 : 86% * Ripple전압 : 5mV |
| 2 | * Cortex-M4F CPU핵심부의 AMBA모선규약연구 * AHB(Advanced High-performance Bus) 개선된 고성능모선규약 * ASB(Advanced System Bus) 개선된 체계모선규약 * 즉시호출전송방식과 대기전송방식의 지원 * Cortex-M4F CPU핵심부의 APB모선규약연구 * APB(Advanced Peripheral Bus) 개선된 주변모선규약 * 즉시호출전송방식과 대기전송방식 * 저소비전력을 위한 동작박자의 주파수조종 * AMBA모선규약 AMBA 3 AHB-Lite Protocol v1.0에 따르는 AHB Slave(SRAM, DMA, AHB-to-APB Bridge， Flash Interface and Boot Control)모선선택조종론리설계(AHBBusMux.v) * AMBA모선규약 AMBA 3 APB Protocol v1.0에 따르는 AHB-APB모선대면부설계(AHB-to-APB Bridge) * AHB-APB모선대면부(AHB-to-APB Bridge)에서 주소 및 자료완충등록기조종단을 삽입하여 APB주변기능블로크들(APB Peripherals)에 대한 읽기/쓰기호출시 READY신호의 대기시간을 한주기의 고속체계박자(One Cycle of HCLK)로 줄임으로써 CPU의 처리속도제고 * True우연수발생회로에 대한 문헌연구 및 설계지표확정 * 열잡음에 의한 시그마-델타변조기방식 * 시그마-델타변조기의 표본화속도 : 1MHz * True우연수발생의 Bias교정 * 바이트발생시간 : 8us * 소비전류 : < 50uA * 선형전압조종기(LDO)들에 대한 세계적추세와 선행문헌연구 및 설계지표확정 * 세계적추세 : 나노메터급 설계공정에서 소자의 턱전압이 작아짐에 따라 LDO회로들이 절실히 요구되며 현재 이러한 LDO들에 대한 연구가 활발히 진행 * 설계지표 : 출구전압-> 0.9V±10%   충분히 집적화된 출구구동소자와 용량 |